

LAMINATED CERAMIC DEVICE

Publication number: JP2002111218 (A)

Publication date: 2002-04-12

Inventor(s): YAMADA TORU; URYU KAZUHIDE; MATSUMURA TSUTOMU; ISHIZAKI TOSHIO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- International: H01G4/12; H01G4/40; H01L23/12; H01P3/08; H03H9/25; H05K3/46; H01G4/12; H01G4/40; H01L23/12; H01P3/08; H03H9/00; H05K3/46; (IPC1-7): H05K3/46; H01G4/12; H01G4/40; H01L23/12; H01P3/08; H03H9/25

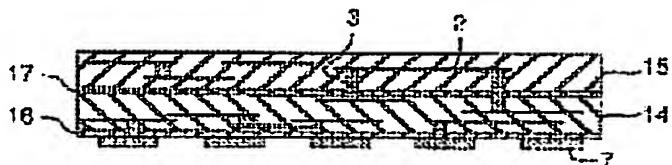
- European:

Application number: JP20010168059 20010604

Priority number(s): JP20010168059 20010604; JP20000192265 20000627

Abstract of JP 2002111218 (A)

PROBLEM TO BE SOLVED: To provide a laminated ceramic device which is improved in functionality and reliability, reduced in size and height, and can be manufactured easily. **SOLUTION:** The laminated ceramic device contains a first ceramic body 1 having multilayered wiring patterns 2 which are electrically connected to each other through interlayer via holes 3, a second ceramic body having multilayered wiring patterns 2 which are electrically connected to each other through interlayer via holes 3, and a thermosetting resin sheet 17 sandwiched between the first and second ceramic bodies. The resin sheet 17 has through holes filled up with a conductive resin which connect some of the multilayered wiring patterns of the first ceramic body 1 to some of the multilayered wiring patterns 2 of the second ceramic body.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-111218

(P2002-111218A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51)Int.Cl.⁷
H 05 K 3/46

識別記号

F I
H 05 K 3/46

テマコード⁸(参考)
N 5 E 0 0 1

H 01 G 4/12
4/40

4 4 5

H 01 G 4/12
H 01 L 23/12

4 4 6
3 0 1 Z 5 J 0 9 7

審査請求 未請求 請求項の数23 OL (全15頁) 最終頁に続く

(21)出願番号 特願2001-168059(P2001-168059)

(22)出願日 平成13年6月4日(2001.6.4)

(31)優先権主張番号 特願2000-192265(P2000-192265)

(32)優先日 平成12年6月27日(2000.6.27)

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 山田 徹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 爪生 一英

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100062144

弁理士 青山 葉 (外1名)

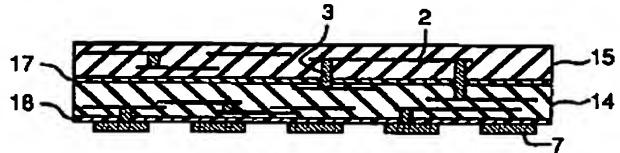
最終頁に続く

(54)【発明の名称】セラミック積層デバイス

(57)【要約】

【課題】高機能化、小形化、低背化、製造の容易さ、及び信頼性の向上を実現したセラミック積層デバイスを提供する。

【解決手段】セラミック積層デバイスは、層間ビアホール3を介して電気的に接続された多層配線パターン2を備えた第1のセラミック体1と、層間ビアホール3を介して電気的に接続された多層配線パターン2を備えた第2のセラミック体と、前記第1及び第2のセラミック体に挟まれた熱硬化性樹脂シート17とを含み、前記熱硬化性樹脂シートは、前記第1のセラミック体の前記多層配線パターンのいずれかと前記第2のセラミック体の前記多層配線パターンのいずれかとを電気的に接続する導電性樹脂が充填された貫通孔を備える。



【特許請求の範囲】

【請求項1】 層間ピアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と、

前記第1及び第2のセラミック体の間に挟まれた熱硬化性樹脂シートとからなり、

前記熱硬化性樹脂シートは、前記第1のセラミック体の前記多層配線パターンのいずれかと、前記第2のセラミック体の前記多層配線パターンのいずれかとを互いに電気的に接続する導電性樹脂が充填された貫通孔を備えることを特徴とするセラミック積層デバイス。

【請求項2】 前記セラミック体は、積層一体焼成された低温焼結セラミック体であることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項3】 前記第1及び第2のセラミック体は、前記熱硬化性樹脂シートと熱硬化して一体化したことを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項4】 前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項5】 層間ピアホールを介して電気的に接続された多層配線パターンを備えた第3のセラミック体と、前記第2及び第3のセラミック体との間に挟まれた熱硬化性樹脂シートとをさらに備え、

前記第1のセラミック体は、比誘電率が10未満であって、前記第2のセラミック体は、比誘電率が10以上であって、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項6】 前記第1及び第3のセラミック体は、実質的に同一の厚さであり、前記第2のセラミック体は、前記1及び第3のセラミック体より厚いことを特徴とする請求項5に記載のセラミック積層デバイス。

【請求項7】 前記各セラミック体は、互いに異なる厚みを有することを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項8】 前記第2のセラミック体の他のセラミック体と対向していない面にランドグリッドアレー端子電極を備えることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項9】 前記第2のセラミック体と前記ランドグリッドアレー端子電極との間に挟み込まれた熱硬化性樹脂シートを備えることを特徴とする請求項8に記載のセラミック積層デバイス。

【請求項10】 前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項1に記載のセラミック積層デバイス。

層デバイス。

【請求項11】 前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップとSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項12】 前記第1のセラミック体は、穴開き部を含む穴開き型セラミック体であって、

前記第1のセラミック体は、前記穴開き部の底面を構成する前記熱硬化性樹脂シートの面に、半導体ペアチップとSAWフィルタが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項13】 前記第1のセラミック体は、比誘電率が10未満であり、前記第2セラミック体は、比誘電率が10以上であることを特徴とする請求項12に記載のセラミック積層デバイス。

【請求項14】 前記半導体ペアチップは、UHF帯以上の周波数で動作する半導体ペアチップを含むことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項15】 前記半導体ペアチップは、PINダイオードを含むことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項16】 前記SAWフィルタは、不平衡入力平衡出力の端子構造を持つことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項17】 層間ピアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、

層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体とが順に積層されており、

前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされ、

前記第2のセラミック体は、前記第1のセラミック体と対向していない面に、ランドグリッドアレー端子電極が設けられていることを特徴とするセラミック積層デバイス。

【請求項18】 前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする請求項17に記載のセラミック積層デバイス。

【請求項19】 前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、前記第1のセラミック体は、前記半導体ペアチップと前記SAWフィルタとが電極部を前記凹部の底面に対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項17に記載のセラミック積層デバ

イス。

【請求項20】 層間ピアホールを介して電気的に接続された多層配線パターンを備えた第3のセラミック体をさらに備え、

前記第3のセラミック体は、前記第2のセラミック体の前記第1のセラミック体と対向していない面に積層され、

前記第1のセラミック体は、比誘電率が10未満であり、前記第2のセラミック体は、比誘電率が10以上であり、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする請求項17に記載のセラミック積層デバイス。

【請求項21】 層間ピアホールを介して電気的に接続された多層配線パターンを備え、上方に凹部を持つキャビティ型セラミック体からなる第1のセラミック体と、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体とが順に積層されており、

前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とするセラミック積層デバイス。

【請求項22】 前記第1のセラミック体は、前記第2のセラミック体と対向していない面の平坦部に形成された電極パターンからなるアレーアンテナを有することを特徴とする請求項21に記載のセラミック積層デバイス。

【請求項23】 請求項1から22のいずれか一項に記載の前記セラミック積層デバイスを備えたことを特徴とする移動体通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主として携帯電話機などの高周波無線機器で用いられるセラミック積層デバイス、特にセラミック積層RFデバイスに関する。

【0002】

【従来の技術】 近年、セラミック積層デバイス、特に高周波領域(radio frequency)で動作するセラミック積層RFデバイスは携帯電話機などの高周波無線機器の小形化に大いに貢献するものとして大変注目されている。以下に図面を参照しながら、従来のセラミック積層RFデバイスの一例について説明する。

【0003】 図12は、従来のセラミック積層RFデバイスの断面図を示すものである。図12において、101は低温焼結セラミック体である。102は多層配線導体で、RF回路を構成する。103は層間ピアホール、105はチップ抵抗、チップコンデンサ、チップインダクタ、パッケージ入り半導体などのチップ部品である。105は金属キャップ107で回路のシールドを行う。

10

【0004】 以上のように構成された従来のセラミック積層RFデバイスについて、その動作について説明する。

【0005】 まず、多層配線導体102は、複数のチップ部品105間を電気的に接続すると共に、低温焼結セラミック体101内において、内層コンデンサや内層インダクタを形成する。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチなどのセラミック積層RFデバイスとして機能する。

20

【0006】 また、図12は、従来のセラミック積層RFデバイスの構成を示すブロック図である。これらは、それぞれが積層フィルタ(図13の(a))、表面弹性波(surface acoustic wave: SAW)フィルタ(図13の(b))、RFスイッチ(図13の(c))として機能する別個の独立したデバイスとして存在する。

【0007】

【発明が解決しようとする課題】 しかしながら上記のような構成では、上面に実装されたチップ部品を保護する封止樹脂やキャビティ構造を封止する封止金属ふた(金属キャップ107)を有しないので、封止を必要とする半導体ペアチップやSAWフィルタを取り込むことはできないという問題点を有していた。ここで、従来例の金属キャップ107は、単に電磁シールドを行うものであり、封止する機能はないため、これらの部品を実装することはできない。

30

【0008】 また、上記構成は、単一のセラミック体を用いている。これに対して、高容量のコンデンサを内蔵するなどによってさらに多機能なデバイスとするためには、特開平4-79601号(対応する米国特許:米国特許第5406235号)に示されているように互いに異なる比誘電率を有するセラミック体等の誘電体を一体形成するという方法が考えられる。その例として、例えば、異なる組成のセラミック体を一体焼成する方法がある。しかし、組成の異なるセラミック体の収縮率等はそれなりに異なり、一体焼成での形成は非常に困難である。また、異なる比誘電率のセラミック体について一体焼成されたセラミック体では、その異なる比誘電率のセラミック体間に、デバイス特性に影響を与える浮遊容量を生じる場合がある。

40

【0009】 そこで、本発明の目的は、半導体ペアチップやSAWフィルタを取り入れることができるセラミック積層デバイスを提供することである。またもう一つの目的は、デバイスの高機能化、小形化、低背化、製造の容易さ、信頼性の向上を図ることである。さらに別の目的は、上記セラミック積層デバイスについて最適回路設計で複数機能を組み合わせた時の総合性能の向上を果たすことである。

【0010】

【課題を解決するための手段】 本発明に係るセラミック積層デバイスは、層間ピアホールを介して電気的に接続

50

された多層配線パターンを備えた第1のセラミック体と、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と、前記第1及び第2のセラミック体の間に挟まれた熱硬化性樹脂シートとからなり、前記熱硬化性樹脂シートは、前記第1のセラミック体の前記多層配線パターンのいずれかと、前記第2のセラミック体の前記多層配線パターンのいずれかとを互いに電気的に接続する導電性樹脂が充填された貫通孔を備えることを特徴とする。

【0011】上記セラミック体は、その内部に少なくとも一層の配線パターンを有しており、各配線パターンは層間ピアホールで電気的に接続されている。ここで、セラミック体としては、例えば、比誘電率が10以上の高誘電率系の誘電体や、比誘電率が10未満の低誘電率系の誘電体のいずれも用いることができる。高誘電率系の誘電体としては、 $Bi-Ca-Nb-O$ 系(比誘電率約58)、 $Ba-Ti-O$ 系、 $Zr(Mg, Zn, Nb)Ti-Mn-O$ 系等の誘電体を用いることができる。また、低誘電率系の誘電体としては、アルミニナほう硅酸ガラス系(比誘電率7)、フォルステライト(forsterite)系のセラミック材料等を用いることができる。また、熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、シアネット樹脂等を用いることができる。

【0012】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記各セラミック体は、積層一体焼成された低温焼結セラミック体であることを特徴とする。

【0013】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1及び第2のセラミック体は、前記熱硬化性樹脂シートと熱硬化して一体化したことを特徴とする。

【0014】またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする。

【0015】このように比誘電率が互いに異なるセラミック体の間にセラミック体より低い誘電率を有する熱硬化性樹脂を挟み込むことによって、比誘電率の異なるセラミック体の間に生じる浮遊容量を減少させることができ、デバイス特性を向上させることができる。また、セラミック体と熱硬化性樹脂シートとの界面にパターン形成することによって、各セラミック体の内部に構成する多層配線パターン等の回路の間で発生するインピーダンス不整合を調整して、損失発生を回避することができる。なお、熱硬化性樹脂は非常に低い比誘電率を有するため、セラミック体との界面に形成した各パターンの間の相互干渉は少なく、良好なデバイス特性が得られる。

【0016】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、層間ピアホールを介して電気的に接続された多層配線パターンを

備えた第3のセラミック体と、前記第2及び第3のセラミック体との間に挟まれた熱硬化性樹脂シートとをさらに備え、前記第1のセラミック体は、比誘電率が10未満であって、前記第2のセラミック体は、比誘電率が10以上であって、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする。

【0017】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1及び第3のセラミック体は、実質的に同一の厚さであり、前記第2のセラミック体は、前記1及び第3のセラミック体より厚いことを特徴とする。

【0018】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1及び第2のセラミック体は、互いに異なる厚みをもつことを特徴とする。

【0019】またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第2のセラミック体の他のセラミック体と対向していない面にランドグリッドアレー端子電極を備えることを特徴とする。

【0020】ここで、ランドグリッドアレー(Land Grid Array)端子電極は、セラミック積層デバイスを配線基板上に配置する際に、配線基板との電気的な接続に利用される。

【0021】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第2のセラミック体と前記ランドグリッドアレー端子電極との間に挟まれた熱硬化性樹脂シートを備えることを特徴とする。

【0022】このように積層されたセラミック体のうち下層側のセラミック体の底面と、その底面に設けられたランドグリッドアレー端子電極との間に熱硬化性樹脂を挟み込むことによって、底面のセラミック体の落下強度を向上させることができる。また、セラミック体より低い比誘電率を有する熱硬化性樹脂を挟み込むことで配線基板との寄生成分を低減させることができると共に、インピーダンスマッチングを変化させることができ、回路設計の自由度を向上させることができる。

【0023】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする。

【0024】ここで、半導体ペアチップとしては、バイポーラトランジスタ、FET、ダイオード、ICなどがあり、シリコンやその他の化合物半導体で構成される。また、SAWフィルタは、水晶、リチウムタンタレート($LiTaO_3$)、リチウムナイオベート($LiNbO$

,)などの単結晶圧電基板を用いて形成されている。この半導体ペアチップとSAWフィルタは、例えばスタッダップボンディング(SBB)法やGGI(Gold to Gold Interconnection)等のバンプ接続などの方法により、電極部を実装するセラミック体の面に対向させて電気的に接続する、フェースダウン実装することができる。

【0025】またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップとSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする。

【0026】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、穴開き部を含む穴開き型セラミック体であって、前記第1のセラミック体は、前記穴開き部の底面を構成する前記熱硬化性樹脂シートの面に、半導体ペアチップとSAWフィルタが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とする。

【0027】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、比誘電率が10未満であり、前記第2のセラミック体は、比誘電率が10以上であることを特徴とする。

【0028】またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記半導体ペアチップは、UHF帯以上の周波数で動作する半導体ペアチップを含むことを特徴とする。

【0029】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記半導体ペアチップは、PINダイオードを含むことを特徴とする。

【0030】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記SAWフィルタは、不平衡入力平衡出力の端子構造を持つことを特徴とする。

【0031】本発明に係るセラミック積層デバイスは、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体とが順に積層されており、前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされ、前記第2のセラミック体は、前記第1のセラミック体と対向していない面に、ランドグリッドアレー端子電極が設けられているこ

とを特徴とする。

【0032】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする。

【0033】さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、前記第1のセラミック体は、前記半導体ペアチップと前記SAWフィルタとが電極部を前記凹部の底面に対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする。

【0034】またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第3のセラミック体をさらに備え、前記第3のセラミック体は、前記第2のセラミック体の前記第1のセラミック体と対向していない面に積層され、前記第1のセラミック体は、比誘電率が10未満であり、前記第2のセラミック体は、比誘電率が10以上であり、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする。

【0035】本発明に係るセラミック積層デバイスは、層間ピアホールを介して電気的に接続された多層配線パターンを備え、上方に凹部を持つキャビティ型セラミック体からなる第1のセラミック体と、層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体とが順に積層されており、前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップと電極部が気密封止されたSAWフィルタとが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とするセラミック積層デバイス。

【0036】また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、前記第2のセラミック体と対向していない面の平坦部に形成された電極パターンからなるアーレアンテナを有することを特徴とする。

【0037】本発明に係る移動体通信機は、前記セラミック積層デバイスを備えたことを特徴とする。

【0038】ここで移動体通信機とは、例えば、携帯電話機等である。上記の通りセラミック積層デバイスを小型化、高機能化できるので、このセラミック積層デバイスを組み込んだ携帯電話機も小型化、高機能化できる。

【0039】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。なお、同一符号を付した部分は、実質的に同一の部分を示している。

【0040】(実施の形態1) 本発明の実施の形態1に係るセラミック積層デバイスは、図1の断面図に示すように、上層側に比誘電率5.8の高誘電率系のセラミック

体15、下層側に比誘電率7の低誘電率系のセラミック体14であって、その間に比誘電率が約4の熱硬化性樹脂である接合樹脂17を挟みこんでいる。各セラミック体14、15は、内部に銅又は銀からなる複数の配線導体がピアホールを介して電気的に接続された多層配線導体2を含んでいる。さらに、2つのセラミック体14、15の間に挟み込まれた接合樹脂17には、上下のセラミック体の各多層配線パターンの間を互いに電気的に接続する導電性樹脂が充填された複数個の貫通孔が設けられている。これによって、異なる比誘電率を有する2つのセラミック体をそのまま接触させた場合に比べて、2つのセラミック体の間に生じる浮遊容量を減少させることができる。また、下層側の低誘電率系のセラミック体14の底面にランドグリッドアレー端子電極7を設けている。さらに、このセラミック体14の底面とランドグリッドアレー端子電極7との間にもう一つの熱硬化性樹脂である接合樹脂18を挟みこんでいる。これによってデバイスとしての強度を高めることができる。

【0041】ここで、比誘電率が10以上の高誘電率系のセラミック体としては、Bi-Ca-Nb-O系(比誘電率58)を用いることができるが、これに限られず、例えば、Ba-Ti-O系、Zr(Mg, Zn, Nb)-Ti-Mn-O系等のセラミック材料を用いることができる。また、比誘電率が10未満の低誘電率系のセラミック体としては、アルミナほう珪酸ガラス系(比誘電率7)を用いることができるが、これに限られず、例えば、フォルステライト系のセラミック材料を用いることができる。

【0042】多層配線導体2は、低温焼結セラミック体14、15内において、内層コンデンサや内層インダクタを形成する。積層一体焼成された低温焼結セラミック体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ピアホール3を配して電気的に接続する。多層配線パターンの各層のパターンは、例えばスクリーン印刷などの方法で形成し、層間ピアホールは誘電体シートにパンチャーで穴を開けし導体ペーストを印刷などの方法で充填して形成する。

【0043】さらに、この多層配線導体2を内部に備えたセラミック体14、15の形成方法について、低誘電率系のセラミック体の場合を例として以下に詳述する。まず、アルミナほう珪酸等のセラミック粉末に、低融点ガラスフリット、有機バインダ、有機溶剤を混合して得られたスラリを成形したガラスセラミック基板からなるグリーンシートを得る。このグリーンシートに上下のセラミック体の配線を電気的に接続する複数のピアホールをパンチング又はレーザ加工で穿孔して形成する。次に、銀、銅、又は金等の粉末を主成分とする導電性ペーストを用いてグリーンシート上にストリップラインやコンデンサ電極等の配線パターンを印刷する。また、各グ

リーンシート上の各ピアホール内にも同様に導電性ペーストを充填する。次いで、複数枚のグリーンシートを電気的な接続が確実に行われるよう正確に位置合わせをして積層し、所定条件で加温、加圧して一体化することによって一体化されたグリーンシート積層体を得ることができる。さらに、この積層体を乾燥後、酸化雰囲気の焼成炉にて約400°C~500°Cの温度範囲で焼成し、グリーンシート中の有機バインダをバーンアウトする。次いで、導電体の主成分として銀又は金の粉末を用いた場合には、上記焼成雰囲気としては空気中等の酸化雰囲気下で約850°C~950°Cの温度範囲で焼成してセラミック体を得ることができる。一方、導電体の主成分として銅粉末を用いた場合には、不活性ガス雰囲気下又は還元性雰囲気下で約850°C~950°Cの温度範囲で焼成してセラミック積層体を得ることができる。

【0044】なお、このセラミック積層デバイスでは、上層側に高誘電率系のセラミック体15、下層側に低誘電率系のセラミック体14を配置しているが、このような構成に限定するものではない。上記構成とは逆に、上層側に低誘電率系のセラミック体、下層側に高誘電率系のセラミック体を配置してもよい。この場合には、例えば、上層側の低誘電率系のセラミック体内部に約50オームの回路を引き回すことができる。また、熱硬化性樹脂である接合樹脂17、18としては、エポキシ樹脂、フェノール樹脂、シアネット樹脂等のいずれかを用いることができる。なお、本発明における熱硬化性樹脂として、米国特許第6,038,133号(対応日本特許:特開平11-220262号公報)に開示されている無機フィラーを含む熱硬化性樹脂を利用することができます。従って、この米国特許を本願明細書の一部をなすものとしてここに挙げておく。

【0045】次に、上記のように2つのセラミック体14、15の間に比誘電率4程度の熱硬化性樹脂である接合樹脂17を挟みこむことによる効果について以下に説明する。まず、高誘電率系のセラミック体15と低誘電率系のセラミック体14とを直接接觸させた場合には、それぞの内部に設けた多層配線導体の回路内インピーダンスの違いからインピーダンス不整合が生じ、損失を発生する場合が多い。これに対して、上記構成のように、2つのセラミック体の間に熱硬化性樹脂である接合樹脂17を挟みこむことによって、上記2つのセラミック体14、15と接合樹脂17との間の界面にもパターン形成ができる、インピーダンス不整合を調整することができる。この場合、接合樹脂17は非常に低い比誘電率を有するので、上記パターン間の相互干渉は少なく、良好なデバイス特性を得ることができる。

【0046】また、下層側のセラミック体14とランドグリッドアレー端子電極7との間により低い比誘電率を有する接合樹脂18を介することによる効果について以下に説明する。この接合樹脂18によって落下の衝撃を

吸収するので、デバイスとしての落下強度を向上させることができ。また、セラミック体14より低い比誘電率を有する接合樹脂18を挟み込むことで配線基板との寄生成分を低減させることができと共に、インピーダンスマッチングを変化させることができ、回路設計の自由度を向上させることができる。

【0047】さらに、上層のセラミック体15と下層のセラミック体14を互いに異なる比誘電率を有するセラミック体を組み合わせることについて説明する。まず、上層の高誘電率系のセラミック体15の特徴、次いで、下層の低誘電率系のセラミック体14の特徴、そして互いに異なる比誘電率のセラミック体を組み合わせる場合の条件及び効果について述べる。

【0048】一般に、高誘電率セラミック中に形成できるストリップラインは、波長が短縮できるため、例えばストリップライン共振器では共振器長を比誘電率の平方根に逆比例して短くすることができる。したがって、小形でQ値の高いストリップライン共振器を作ったりするのには適している。しかし、ストリップラインの特性インピーダンスは通常低く、例えばスクリーン印刷で形成できる最小線幅100μm、シールド間隔2mmのストリップラインの特性インピーダンスは20から30オーム程度であり、50オーム線路を形成することは実質不可能である。その一方、比誘電率が高いため、大きな容量値の内層コンデンサを狭い面積で作ることは容易である。

【0049】これに対して、低誘電率セラミック体中に形成できるストリップラインは、波長はそれほど短縮できないが、50オーム以上の高い特性インピーダンスの実現は易しく、内層インダクタの形成も容易である。比誘電率が低いため、近接するストリップライン間の電磁界結合量は比較小さく、配線層を形成するのに適している。

【0050】このように、各々の層中に最適回路素子を配置している2種以上の比誘電率を持つセラミック体を接合することにより、小形化、高性能化を同時に達成することができる。また、ストリップラインの特性インピーダンスの関係から、それぞれのセラミック体の比誘電率は、上層の高誘電率系のセラミック体では比誘電率10以上が好ましく、特におよそ40から60の範囲がさらに好ましく、下層の低誘電率系のセラミック体では比誘電率10未満とすることが好ましい。

【0051】(実施の形態2) 図2は本発明の実施の形態2におけるセラミック積層RFデバイスの断面図を示すものである。

【0052】図2において、14は低誘電率低温焼結セラミック体、15は高誘電率低温焼結セラミック体、17、18は接合樹脂、2は多層配線導体、3は層間ビアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はLGAである。このセラミック積層

RFデバイスは、実施の形態1に係るセラミック積層RFデバイスと比較すると、図2に示すように、上層の低誘電率低温焼結セラミック体14の上面に、半導体ペアチップ4とSAWフィルタ5の電極部を前記セラミック体14の上面に対向させて接続してフェースダウン実装し、その上部を封止樹脂6で封止部を形成している点で相違する。

【0053】以上のように構成されたセラミック積層RFデバイスについて、以下、図2を用いてその構成を説明する。まず、多層配線導体2は、低誘電率低温焼結セラミック体14および高誘電率低温焼結セラミック体15内において、内層コンデンサや内層インダクタを形成する。それぞれ積層一体焼成された低誘電率低温焼結セラミック体、高誘電率低温焼結セラミック体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ビアホールを配して電気的に接続する。

【0054】多層配線パターンの各層のパターンは、例えばスクリーン印刷などの方法で形成し、層間ビアホールは誘電体シートにパンチャーで穴開けし導体ペーストを印刷などの方法で充填して形成する。

【0055】また、接合樹脂17、18は無機質フィラーと未硬化状態の熱硬化樹脂組成物を含む化合物をシート状に加工し、貫通孔を形成し、導電性樹脂組成物を充填したシート状のものであり、これらを低温焼結セラミック体14、15の間に挟み込み、熱硬化させて一体成形する。

【0056】セラミック体の底面には、外部との接続を行う底面端子電極LGA7が形成されている。前記セラミック体上面には半導体ペアチップやSAWフィルタがフェースダウン実装され、前記半導体ペアチップやSAWフィルタを覆うようにセラミック体上面を封止樹脂によりコーティングを行っている。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチなどのセラミック積層RFデバイスとして機能する。

【0057】ここで、従来例と大きく異なる点は、UHF帯以上の周波数で動作する半導体ペアチップとSAWフィルタペアチップが平板状のセラミック体の上面にフェースダウン実装され、前記ペアチップを覆うように前記セラミック体の上面を封止樹脂にてコーティングしたという構成を備えたところである。半導体ペアチップは、バイポーラトランジスタ、FET、ダイオード、ICなどがあり、シリコンやその他の化合物半導体で構成される。また、SAWフィルタは水晶、リチウムタンタレート(LiTaO₃)、リチウムナイオベート(LiNbO₃)などの単結晶圧電基板であり、これらは、例えばスタッズパンプボンディング(SBB)法やGGI(Gold to Gold Interconnect ion)等のパンプ接続などの方法により、電極部を実装するセラミック体の面に対向させて電気的に接続す

る、いわゆるフェースダウン実装されている。
【0058】また、低誘電率低温焼結セラミック体14、高誘電率低温焼結セラミック体15をそれぞれ積層一体焼成し、焼結後に、接合樹脂17、18を用いて接合することにより、焼成時における熱膨張係数の違いに起因するセラミック体のそりを接合樹脂により吸収することが可能となるため、設計の自由度が向上し、さらに強固な接着が得られる。さらに最下層に接合樹脂を配することにより、端子電極強度の向上が可能となるため、落下試験などによる不良の低減が可能となる。

【0059】また、2種以上の比誘電率を持つセラミックシートを一体化することにより、実施の形態3同様に、各々の層中に最適回路素子を配置することで、小形、高性能を同時達成することができる。ストリップラインの特性インピーダンスの関係から、それぞれのセラミック体の比誘電率は、上層では比誘電率10以下とし、下層では比誘電率10以上、中でもおよそ40から60程度とすることが好ましい。

【0060】以上のようにこの実施の形態2によれば、セラミック体が比誘電率の異なる異種セラミック体と接合樹脂で形成された構成としている。すなわち、上層を比誘電率10以下の低誘電率低温焼結セラミック体とし、下層を比誘電率10以上の高誘電率低温焼結セラミック体とし、上層と下層の低温焼結セラミック体間の接合面と最下層に接合樹脂を配置することにより、実施の形態1と同様の効果が得られるとともに、さらにセラミック体の反りが少なく、端子強度の強いセラミック積層RFデバイスを提供することができる。

【0061】(実施の形態3)以下本発明の実施の形態3について図面を参照しながら説明する。図3は本発明の実施の形態3におけるセラミック積層RFデバイスの断面図を示すものである。図3において、19は穴空き型低誘電率低温焼結セラミック体、15は高誘電率低温焼結セラミック体、17、18は接合樹脂、2は多層配線導体、3は層間ピアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はLGAである。

【0062】図2と異なるのは低温焼結セラミック体14の代わりに上層に穴空き型低誘電率低温焼結セラミック体19を、下層に高誘電率低温焼結セラミック体15を配し、低温焼結セラミック体間の接合面に接合樹脂17を配し、最下層には接合樹脂18を配する構造とした点である。

【0063】以上のように構成されたセラミック積層RFデバイスについて、以下図3を用いてその動作を説明する。

【0064】多層配線導体2は、穴空き型低誘電率低温焼結セラミック体19および高誘電率低温焼結セラミック体15内において、内層コンデンサや内層インダクタを形成する。それぞれ積層一体焼成された低温焼結セラ

ミック体体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ピアホールを配して電気的に接続する。

【0065】また、接合樹脂17、18は無機質フィラーと未硬化状態の熱硬化樹脂組成物を含む化合物をシート状に加工し、貫通孔を形成し、導電性樹脂組成物を充填したシート状のものであり、これらを低温焼結セラミック体19、15の間に挟み込み、熱硬化させて一体成形する。

10 【0066】セラミック体の底面には、外部との接続を行う底面端子電極LGA7が形成されている。また、キャビティ内には半導体ペアチップ4、SAWフィルタ5が、フェースダウン実装され、この半導体ペアチップやSAWフィルタを覆うように、封止樹脂6がキャビティ中に充填されている。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチ共用器などのセラミック積層RFデバイスとして機能する。

【0067】ここで、実施の形態2と大きく異なる点は、最上層に穴空き型低誘電率低温焼結セラミック体19を、下層に高誘電率低温焼結セラミック体15を配し、低温焼結セラミック体間の接合面に接合樹脂17を配し、最下層に接合樹脂18を配する異種積層構造とした点である。

【0068】このように、穴空き型低誘電率低温焼結セラミック体19、高誘電率低温焼結セラミック体15をそれぞれ積層一体焼成し、焼結後に、接合樹脂16を用いて接合することにより、焼成時における熱膨張係数の違いに起因するセラミック体のそりを接合樹脂により吸収することが可能となるため、設計の自由度の向上に繋がる。

【0069】キャビティ構造を積層一体焼成で形成すると、構造の上下非対称性から非常に反りやすくなる。これに対して、本実施の形態の構造は半導体やSAWフィルタのペアチップ実装に不可欠なセラミック体表面の平坦度を向上する上で非常に有効である。さらに最下層に接合樹脂を配することにより、端子強度も向上するため、落下試験などによる不良の低減が可能となる。

【0070】また、最上層の穴空き型低誘電率低温焼結セラミック体19中に配線パターンを形成することもでき、小形化が図れる。

【0071】また、2種以上の比誘電率を持つセラミックシートを一体化することにより、実施の形態2同様に、各々の層中に最適回路素子を配置することで、小形、高性能を同時達成することができる。ストリップラインの特性インピーダンスの関係から、それぞれのセラミック体の比誘電率は、上層では比誘電率10以下とし、下層では比誘電率10以上、中でもおよそ40から60程度とすることが好ましい。

【0072】以上のように本実施の形態3によれば、セラミック体が比誘電率の異なる異種セラミック体と接合

樹脂で形成された構成としている。さらにセラミック体を比誘電率の異なる2層以上の異種セラミック積層体とし、最上層を比誘電率10以下のキャビティ型低誘電率低温焼結セラミック体とし、下層を比誘電率10以上の高誘電率低温焼結セラミック体としている。また、上層と下層の低温焼結セラミック体間の接合面と最下層に接合樹脂を配置する構成としている。これによって、小形、高性能を同時達成することができるセラミック積層RFデバイスを提供することができる。

【0073】(実施の形態4)図4は本発明の実施の形態4におけるセラミック積層RFデバイスの断面図を示すものである。図4において、19は穴空き型低誘電率低温焼結セラミック体、15は低誘電率低温焼結セラミック体、16は高誘電率低温焼結セラミック体、17、18は接合樹脂、2は多層配線導体、3は層間ピアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はLGAである。

【0074】図3と異なるのは、キャビティ型低温焼結セラミック体に代えて最上層に穴空き型低誘電率低温焼結セラミック体19を、中間層に高誘電率低温焼結セラミック体15を、下層に低誘電率低温焼結セラミック体16を配し、各低温焼結セラミック体間の接合面に接合樹脂17を配し、最下層には接合樹脂18を配する構造とした点である。

【0075】以上のように構成されたセラミック積層RFデバイスについて、以下図4を用いてその動作を説明する。

【0076】多層配線導体2は、穴空き型低誘電率低温焼結セラミック体19および高誘電率低温焼結セラミック体15、低誘電率低温焼成セラミック体16内において、内層コンデンサや内層インダクタを形成する。それぞれ積層一体焼成された低温焼結セラミック体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ピアホールを配して電気的に接続する。

【0077】また、接合樹脂17、18は無機質フィラーと未硬化状態の熱硬化樹脂組成物を含む化合物をシート状に加工し、貫通孔を形成し、導電性樹脂組成物を充填したシート状のものであり、これらを低温焼結セラミック体19、15、16の間に挟み込み、熱硬化させて一体成形する。セラミック体の底面には、外部との接続を行う底面端子電極LGA7が形成されている。

【0078】また、キャビティ内には半導体ペアチップ4とSAWフィルタ5が、フェースダウン実装され、半導体ペアチップ4やSAWフィルタ5を覆うように、封止樹脂6がこのキャビティ中に充填される。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチ共用器などのセラミック積層RFデバイスとして機能する。

【0079】ここで、実施の形態3と大きく異なる点

は、最上層に穴空き型低誘電率低温焼結セラミック体19を、中間層に高誘電率低温焼結セラミック体15を配し、下層に低誘電率低温焼結セラミック体16を配し、それぞれ低温焼結セラミック体間の接合面に接合樹脂17を配し、最下層に接合樹脂18を配する異種積層構造とした点である。

【0080】このように、低温焼結セラミック体19、15、16をそれぞれ積層一体焼成し、焼結後に、接合樹脂16を用いて接合することにより、焼成時における熱膨張係数の違いに起因するセラミック体のそりを接合樹脂により吸収することが可能となる。

【0081】キャビティ構造を積層一体焼成で形成すると、構造の上下非対称性から非常に反りやすくなる。これに対して、本実施の形態の構造は半導体やSAWフィルタのペアチップ実装に不可欠なセラミック体表面の平坦度を向上する上で非常に有効である。さらに最下層に接合樹脂を配することにより、端子強度も向上するため、落下試験などによる不良の低減が可能となる。

【0082】また、高誘電率低温焼結セラミック体を低誘電率低温焼結セラミック体で挟みこむ構造にすることにより、高容量のコンデンサや低損失な共振器の形成に適する高誘電率セラミック体と低損失なインダクタンスの形成に適する低誘電率セラミック体を、その回路規模に応じて最適な厚みに形成することができるなど、設計の自由度が大幅に向上する。

【0083】以上のように本実施の形態4によれば、セラミック体が比誘電率の異なる異種セラミック体と接合樹脂で形成されたという構成としている。つまり、セラミック体を比誘電率の異なる3層以上の異種セラミック積層体としている。すなわち、最上層を比誘電率10以下のキャビティ型低誘電率低温焼結セラミック体とし、中間層を比誘電率10以上の高誘電率低温焼結セラミック体とし、下層に比誘電率10以下の低誘電率低温焼結セラミック体とし、低温焼結セラミック体間の接合面と最下層に接合樹脂を配置する構成にしている。これによって、小形、高性能を同時達成することができるセラミック積層RFデバイスを提供することができる。

【0084】また、以上の実施の形態4によれば携帯電話などの無線部の回路をさまざまな形態で統合化することが可能となり、例えば、半導体チップを複数個のPINダイオードとし、SAWフィルタを不平衡入力平衡出力の構成とすれば、デジタル携帯電話(global system for mobile communication: GSM)とDCSや、GSMとIMT2000のデュアルバンド機、あるいはこれらにパーソナル移動通信システム(personal communication system: PCS)を加えたトリプルバンド機用のアンテナスイッチを受信SAWフィルタを統合した形で一体化でき、デバイスの小型化、ひいては通信機器自体の小型化に貢献する。

【0085】なお、半導体チップはPINダイオードに

限るものではなく、スイッチであればG a A sのF E Tなど、また、ローノイズアンプ (low noise amplifier: L N A) やミキサーなどのフロントエンド I Cとの統合化も可能となる。

【0086】(実施の形態5) 図5は本発明の実施の形態5におけるセラミック積層R Fデバイスの断面図を示すものである。図5において、1は低温焼結セラミック体、2は多層配線導体、3は層間ピアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はランドグリッドアレー (L G A) 端子電極である。また、図6は実施の形態5におけるセラミック積層R Fデバイスの底面斜視図を示すものである。図6において7は図5と同一のL G Aである。

【0087】さらに、図7は実施の形態5におけるセラミック積層R Fデバイス上に実装されたSAWフィルタの拡大断面図である。

【0088】以上のように構成されたセラミック積層R Fデバイスについて、以下図5、図6、図7を用いてその動作を説明する。

【0089】ここで、比誘電率が10以上の高誘電率系のセラミック体としては、B i - C a - N b - O系(比誘電率5.8)を用いることができるが、これに限られず、例えば、B a - T i - O系、Z r (M g, Z n, N b) - T i - M n - O系等のセラミック材料を用いることができる。また、比誘電率が10未満の低誘電率系のセラミック体としては、アルミナほう珪酸ガラス系(比誘電率7)を用いることができるが、これに限られず、例えば、フォルステライト系のセラミック材料を用いることができる。

【0090】多層配線導体2は、低温焼結セラミック体1内において、内層コンデンサや内層インダクタを形成する。積層一体焼成された低温焼結セラミック体の中には形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ピアホール3を配して電気的に接続する。多層配線パターンの各層のパターンは、例えばスクリーン印刷などの方法で形成し、層間ピアホールは誘電体シートにパンチャードで穴を開けし導体ペーストを印刷などの方法で充填して形成する。

【0091】また、前記セラミック体上面には半導体ペアチップやSAWフィルタなどの高周波デバイスがフェースダウン実装され、前記複数のペアチップを覆うようにセラミック体上面を封止樹脂によりコーティングを行っている。セラミック体の底面には図6に示すように外部との接続を行う端子電極としてL G A 7が形成されている。これらの部品は、全体としてR F回路を形成し、例えば、R F積層スイッチなどのセラミック積層R Fデバイスとして機能する。

【0092】また、図7の拡大図に示すようにSAWフィルタ5は底面にSAW電極9が形成され、気密封止樹脂10により封止され、その外側に形成された接合用バ

ンプ電極8を介してセラミック体に電気的に接続されている。

【0093】ここで、従来例と大きく異なる点は、U H F帯以上の周波数で動作する半導体ペアチップとSAWフィルタペアチップが平板状のセラミック体の上面にフェースダウン実装され、このペアチップを覆うようにセラミック体の上面を封止樹脂にてコーティングしたという構成を備えたところである。半導体ペアチップは、バイポーラトランジスタ、F E T、ダイオード、I Cなどがあり、シリコンやその他の化合物半導体で構成される。また、SAWフィルタは水晶、リチウムタンタレート(L i T a O₃)、リチウムナイオベート(L i N b O₃)などの単結晶圧電基板であり、これらは、例えばスタッドバンブボンディング(SBB)法やGG I(G old to Gold Interconnection)等のバンブ接続などの方法により、フェースダウン実装されている。

【0094】一般に、300MHz以上のいわゆるU H F帯以上の周波数においては、パッケージ入り半導体はパッケージ構成に特有のリード線やモールド樹脂のために寄生のインピーダンス成分を持ってしまい、高周波において本来半導体が有する特性を十分に発揮することができない。すなわち、利得の低下や周波数偏差の増大、雑音特性の劣化などが発生する。また、インピーダンス整合などのため、多くの外付け部品を必要とし、部品点数が多く回路全体が大型化するという欠点を有している。

【0095】これに対し、本実施の形態における構成では、半導体はペアチップで使用可能なため、パッケージ構成に特有のリード線やモールド樹脂のために寄生のインピーダンス成分の影響を全く受けない。また、実装においては、バンブ接続などの方法により、フェースダウン実装されているため寄生のインピーダンス成分は極めて小さく、優れた高周波特性を得ることができる。

【0096】すなわち、利得の向上や周波数偏差の縮小、良好な雑音特性などが得られる。さらに、ペアチップ実装では、パッケージの大きさが無視できるため、一般に実装面積を小さくすることができ、小型デバイスを実現することができる。また、外付け部品もほとんど必要としない。

【0097】また、半導体ペアチップ保護のため、本実施の形態における構成ではセラミック体の上面を封止樹脂にて全面コーティングする。一般に半導体ペアチップ表面はシリコンオキサイド、シリコンナイトライドなどの絶縁体の薄膜により保護されているが、これにさらに封止樹脂にてコーティングすることにより、信頼性を一層向上させることができる。

【0098】さらに、セラミック体の上面を封止樹脂にてコーティングすることにより、セラミック積層R Fデバイスの上面を平坦にすることができる。その結果、マ

ウンターにより自動マウントが可能な表面実装デバイス (surface mounted device: SMD) とすることができる、高周波部品として非常に取り扱いがしやすくなる。

【0099】また、セラミック体の底面の端子電極をLGAで構成することにより、多ピン化が容易となり、上記のような半導体ペアチップやSAWフィルタを実装した回路規模の大きい複合デバイスを形成することも容易となる。

【0100】さらに、樹脂により気密封止されたSAWフィルタをフェースダウン実装することにより、従来は気密を得るためにキャビティ構造のパッケージを必要としていたものを、平板上の基板への実装が可能となる。これによって、図5のように半導体ペアチップとの一体実装を容易に行うことができる。

【0101】以上のように本実施の形態によれば、積層一体焼成された低温焼結セラミック体の中に、銅または銀で形成された多層配線パターンを配し、各配線パターン間の所望箇所には層間ピアホールを配して電気的に接続している。また、セラミック積層体の底面にはLGA端子電極を形成し、セラミック体の上面にはUHF帯以上の周波数で動作する半導体ペアチップとSAWフィルタをフェースダウン実装し、このペアチップを覆うように前記セラミック体の上面を封止樹脂にてコーティングした構成をしている。これによって、デバイスとして優れた高周波特性を得ることができ、小形デバイスを実現することができ、信頼性を一層向上させることができる。しかも、取り扱いがしやすい自動マウントが可能な表面実装デバイスSMDを提供することができる。

【0102】(実施の形態6) 図8は本発明の実施の形態6におけるセラミック積層RFデバイスの断面図を示すものである。図8において、11はキャビティ型低温焼結セラミック体、2は多層配線導体、3は層間ピアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はLGAである。図5と異なる点は低温焼結セラミック体1をキャビティ型低温焼結セラミック体11に置き換える構造とした点である。

【0103】以上のように構成されたセラミック積層RFデバイスについて、以下、図8を用いてその動作を説明する。

【0104】多層配線導体2は、キャビティ型低温焼結セラミック体11内において、内層コンデンサや内層インダクタを形成する。積層一体焼成されたキャビティ型低温焼結セラミック体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ピアホール3を配して電気的に接続する。

【0105】多層配線パターンの各層のパターンは、例えばスクリーン印刷などの方法で形成し、層間ピアホールは誘電体シートにパンチャーで穴開けし導体ペーストを印刷などの方法で充填して形成する。キャビティも同様に誘電体シートにパンチャーで穴開けして形成する。

キャビティ内には半導体ペアチップ4、SAWフィルタ5が、フェースダウン実装され、半導体ペアチップ4やSAWフィルタ5を覆うように、封止樹脂6がこのキャビティ中に充填される。

【0106】また、セラミック体の底面には、外部との接続を行う底面端子電極LGA7が形成されている。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチなどのセラミック積層RFデバイスとして機能する。

10 【0107】ここで、実施の形態5と大きく異なる点は、低温焼結セラミック体1をキャビティ型低温焼結セラミック体11に置き換える構造とした点である。キャビティ型構造としたことによって、封止樹脂6が側面に周り込む恐れがなく、樹脂だれなどによる外形変化が少なくなる。これによって、実装時の認識における不良を低減させることができる。

【0108】また、セラミック体をキャビティ構造とすることにより、半導体などを実装した周縁部のセラミック体にも電極バターン12を形成することが可能となる。これによって、限られた体積で内蔵回路を有効に形成することができ、デバイス特性の向上及びデバイスサイズの小型化も可能となる。

20 【0109】以上のように実施の形態6によれば、セラミック体が上面に凹部を持つキャビティ型であり、封止樹脂が前記キャビティ部を充填したこと構造にすることにより、封止樹脂が側面に周り込む恐れが少なく、樹脂だれなどによる外形変化が少なくなる。このため、実装時の認識における不良を発生させることがないセラミック積層RFデバイスを提供することができる。

30 【0110】なお、図9に示すように、セラミック体の上面のうち一方の側にキャビティの凹部を形成し、他方の側のキャビティの凹部がない部分に、アーチアンテナ13などを形成すれば、さらに無線部回路としての機能を向上したデバイスの実現が可能となる。

【0111】(実施の形態7) 図10は、本発明の実施の形態7におけるセラミック積層RFデバイスの断面図を示すものである。図10において、14、16は低誘電率低温焼結セラミック体、15は高誘電率低温焼結セラミック体、2は多層配線導体、3は層間ピアホール、4は半導体ペアチップ、5はSAWフィルタ、6は封止樹脂、7はLGAである。図5と異なるのは、単一の低温焼結セラミック体1の代わりに、最上層に低誘電率低温焼結セラミック体14を、中間層に高誘電率低温焼結セラミック体15を、最下層に低誘電率低温焼結セラミック体16という三層の積層体とした点である。

【0112】以上のように構成されたセラミック積層RFデバイスについて、以下図10を用いてその動作を説明する。

【0113】多層配線導体2は、低誘電率低温焼結セラミック体14、16および高誘電率低温焼結セラミック

体15において、内層コンデンサや内層インダクタを形成する。積層一体焼成された異種積層低温焼結セラミック体の中に形成される多層配線パターンは銅または銀からなり、前記配線パターン間の所望箇所には層間ビアホールを配して電気的に接続する。前記セラミック体上面には半導体ペアチップ4やSAWフィルタ5がフェースダウン実装され、この半導体ペアチップ4やSAWフィルタ5を覆うようにセラミック体の上面を封止樹脂によりコーティングしている。

【0114】セラミック体の底面には外部との接続を行う底面端子電極LGA7が形成されている。これらの部品は、全体としてRF回路を形成し、例えば、RF積層スイッチなどのセラミック積層RFデバイスとして機能する。

【0115】一般に、高誘電率セラミック中に形成できるストリップラインは、波長が短縮できるため、例えばストリップライン共振器では共振器長を比誘電率の平方根に逆比例して短くすることができる。したがって、小形でQ値の高いストリップライン共振器を作ったりするのには適している。しかし、ストリップラインの特性インピーダンスは通常低く、例えばスクリーン印刷で形成できる最小線幅100μm、シールド間隔2mmのストリップラインの特性インピーダンスは20から30オーム程度であり、50オーム線路を形成することは実質不可能である。その一方、比誘電率が高いため、大きな容量値の内層コンデンサを狭い面積で作ることは容易である。

【0116】これに対して、低誘電率セラミック体中に形成できるストリップラインは、波長はそれほど短縮できないが、50オーム以上の高い特性インピーダンスの実現は易しく、内層インダクタの形成も容易である。比誘電率が低いため、近接するストリップライン間の電磁界結合量は比較小さく、配線層を形成するのに適している。

【0117】このように、2種以上の比誘電率を持つセラミックシートを異種接合することにより、各々の層中に最適回路素子を配置することにより、小形、高性能を同時達成することができる。ストリップラインの特性インピーダンスの関係から、それぞれのセラミック体の比誘電率は、最上層では比誘電率10以下とし、中間層では比誘電率10以上、中でもおよそ40から60程度とし、最下層では比誘電率10以下とすることが好みしい。

【0118】ここで、高誘電率低温焼結セラミック体15を低誘電率低温焼結セラミック体14と低誘電率低温焼結セラミック体16とで挟み込む構造とし、上下をほぼ対称形とすることで、焼成時における熱膨張係数の違いに起因するセラミック体のそりを防止することができる。また、中央の高誘電率低温焼結セラミック体15を上下の低誘電率低温焼結セラミック体14と低誘電率低

温焼結セラミック体16より厚くすることで、中央の高誘電率低温焼結セラミック体15内部に高いQ値を持つストリップラインを形成することができ、回路の低損失化を図ることができる。

【0119】また、一般に低温焼結セラミック体は低誘電率体の方が素子強度が強く、本実施の形態のように低誘電率低温焼結セラミック体に底面LGA電極が形成できる配置とすることにより、端子強度の強いデバイスが形成可能となる。

【0120】以上のように実施の形態7によれば、セラミック体が比誘電率の異なる異種セラミック積層体で形成された構成としている。また、さらにセラミック体を比誘電率の異なる3層以上の異種セラミック積層体とし、最上層を比誘電率10以下の低誘電率低温焼結セラミック体とし、中間層を比誘電率10以上の高誘電率低温焼結セラミック体とし、最下層を比誘電率10以下の低誘電率低温焼結セラミック体という構成としている。これによって、小形化、高性能化を同時に達成することができるセラミック積層RFデバイスを提供することができる。

【0121】(実施の形態8) 本発明の実施の形態8に係る移動体通信機は、図11に示すように、上記実施の形態2に係るセラミック積層RFデバイス20を搭載した携帯電話機等の移動体通信機30である。この携帯電話機は、セラミック積層RFデバイス20、表示部32、及び通信部34を含んでいる。具体的には、この携帯電話機に搭載されたセラミック積層RFデバイス20は、図1に示すように、上面側の高誘電率系のセラミック体15、下面側の低誘電率系のセラミック体14を有し、上下のセラミック体14、15の間に熱硬化性樹脂である接合樹脂17を挟みこんでいる。さらに、2つのセラミック体14、15の間に挟み込まれた接合樹脂17には、上下のセラミック体の各多層配線パターンの間を互いに電気的に接続する導電性樹脂が充填された複数個の貫通孔が設けられている。これによって、異なる比誘電率を有する2つのセラミック体をそのまま接触させた場合に比べて、2つのセラミック体の間に生じる浮遊容量を減少させることができる。また、下層側の低誘電率系のセラミック体14の底面にランドグリッドアレー

端子電極7を設けている。さらに、このセラミック体14の底面とランドグリッドアレー端子電極7との間にもう一つの熱硬化性樹脂である接合樹脂18を挟みこんでいる。これによってデバイスとしての強度を高めることができる。

【0122】この携帯電話機30では、上述の通り、搭載しているセラミック積層RFデバイス20が小型化、高機能化されているので、携帯電話機としても小型化、高機能化を図ることができる。なお、この携帯電話機では実施の形態1に係るセラミック積層RFデバイスを用いたが、これに限らず、他の実施の形態に係るセラミ

ック積層RFデバイスを用いることができる。

【0123】

【発明の効果】以上のように本発明によれば、各セラミック体の間に熱硬化性樹脂シートである接合樹脂が挟み込まれている。これによって、異なる比誘電率を有する2つのセラミック体をそのまま接触させた場合に比べて、上下のセラミック体の間に生じる浮遊容量を減少させることができる。また、下層側のセラミック体の底面にランドグリッドアレー端子電極を設け、このセラミック体の底面とランドグリッドアレー端子電極との間にもう一つの熱硬化性樹脂シートである接合樹脂を挟みこんでいる。これによってデバイスとしての強度を高めることができる。

【0124】また、本発明によれば、半導体ペアチップとSAWフィルタを取り入れることができ、デバイスの高機能化、小形化、低量化、製造の容易さ、信頼性の向上を図ることができ、最適回路設計で複数機能を組み合わせた時の総合性能の向上を果たせるセラミック積層RFデバイスを提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るセラミック積層RFデバイスの断面図である。

【図2】 本発明の実施の形態2に係るセラミック積層RFデバイスの断面図である。

【図3】 本発明の実施の形態3に係るセラミック積層RFデバイスの断面図である。

【図4】 本発明の実施の形態4におけるセラミック積層RFデバイスの断面図である。

【図5】 本発明の実施の形態5に係るセラミック積層RFデバイスの断面図である。

【図6】 本発明の実施の形態5に係るセラミック積層RFデバイスの底面斜視図である。

【図7】 本発明の実施の形態5に係るセラミック積層RFデバイスにフェースダウン実装されたSAWフィルタの拡大断面図である。

【図8】 本発明の実施の形態6に係るセラミック積層RFデバイスの断面図である。

* 【図9】 本発明の実施の形態6に係るセラミック積層RFデバイスの斜視図である。

【図10】 本発明の実施の形態7に係るセラミック積層RFデバイスの断面図である。

【図11】 本発明の実施の形態8に係る携帯電話機のブロック図である。

【図12】 従来例におけるセラミック積層RFデバイスの断面図である。

【図13】 従来例におけるセラミック積層RFデバイスの構成を示すブロック図であり、(a)は積層フィルタ、(b)はSAWフィルタ、(c)はRFスイッチ回路である。

【符号の説明】

1 低温焼結セラミック体

2, 12 多層配線導体

3 層間ビアホール

4 半導体ペアチップ

5 SAWフィルタ

6 封止樹脂

20 7 LGA(ランドグリッドアレー)端子電極

8 パンプ

9 SAW電極

10 封止樹脂

11 キャビティ型低温焼結セラミック体

13 アレーアンテナ

14, 16 低誘電率低温焼結セラミック体

15 高誘電率低温焼結セラミック体

17, 18 接合樹脂

19 穴空き型低誘電率低温焼結セラミック体

30 20 セラミック積層RFデバイス

30 移動体通信機

32 表示部

34 通信部

101 低温焼結セラミック体

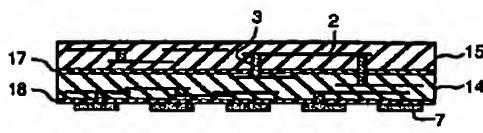
102 多層配線導体

103 層間ビアホール

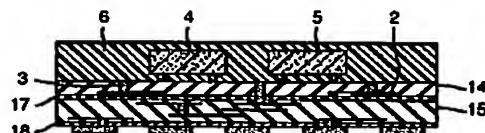
105 チップ部品

*

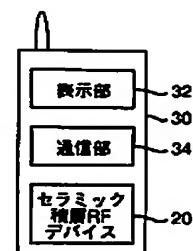
【図1】



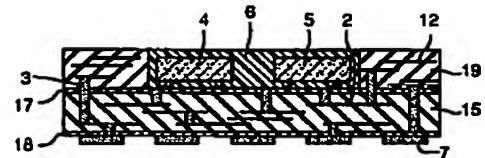
【図2】



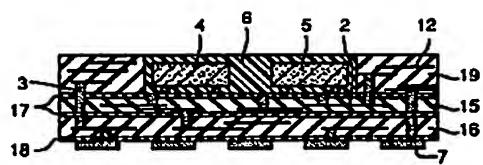
【図11】



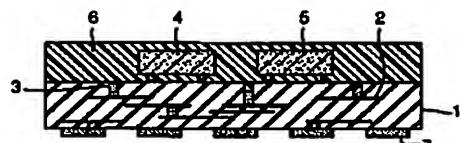
【図3】



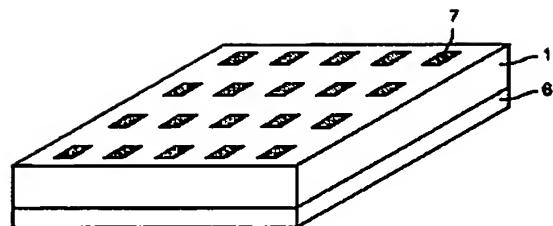
【図4】



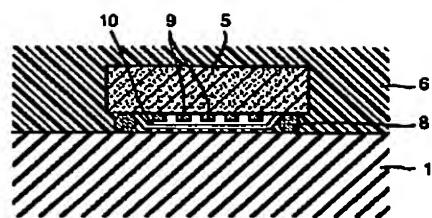
【図5】



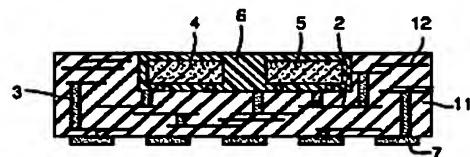
【図6】



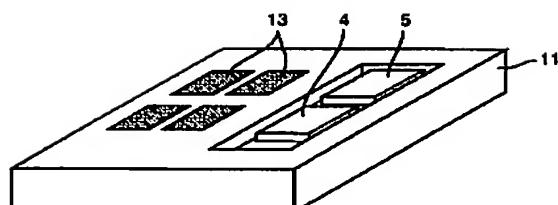
【図7】



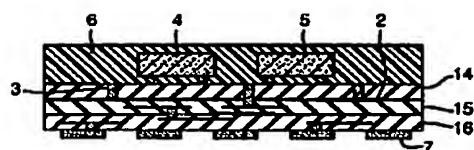
【図8】



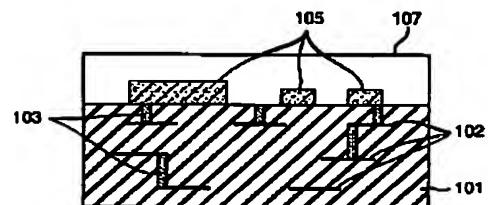
【図9】



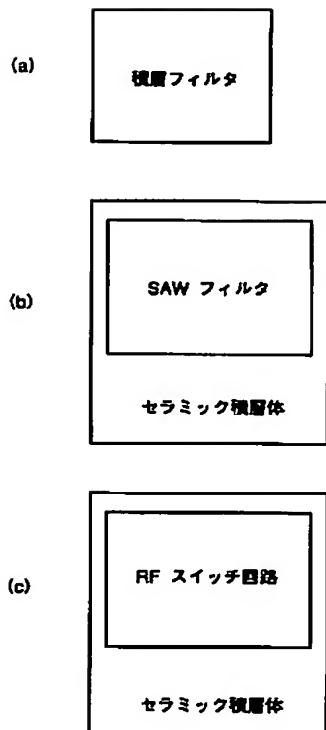
【図10】



【図12】



〔図13〕



フロントページの続き

(S1)Int.Cl.	識別記号	F I	マークド(参考)
H 01 L 23/12	3 0 1	H 01 P 3/08	
H 01 P 3/08		H 03 H 9/25	A
H 03 H 9/25		H 01 G 4/40	3 2 1 A

(72)発明者	松村 勉 京都府京田辺市大住浜55番12 松下日東電 器株式会社内	F ターム(参考)	SE001 AB01 AH01 AH09 AJ01 AJ02 SE082 AB03 BB05 CC02 SE346 AA04 AA12 AA15 AA22 AA35 AA43 AA60 BB01 CC02 CC08 CC17 CC31 DD02 EE02 EE06 EE07 EE08 EE21 EE43 FF18 FF35 GG03 GG28 HH22 HH24 HH33 SJ014 CA53 SJ097 AA30 AA31 AA34 HA04 JJ03 JJ10
(72)発明者	石崎 俊雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内		

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年3月13日(2008.3.13)

【公開番号】特開2002-111218(P2002-111218A)

【公開日】平成14年4月12日(2002.4.12)

【出願番号】特願2001-168059(P2001-168059)

【国際特許分類】

H 05 K	3/46	(2006.01)
H 01 G	4/12	(2006.01)
H 01 L	23/12	(2006.01)
H 01 P	3/08	(2006.01)
H 03 H	9/25	(2006.01)
H 01 G	4/40	(2006.01)

【F I】

H 05 K	3/46	N
H 05 K	3/46	G
H 05 K	3/46	Q
H 01 G	4/12	4 4 5
H 01 L	23/12	3 0 1 Z
H 01 P	3/08	
H 03 H	9/25	A
H 01 G	4/40	3 2 1 A

【手続補正書】

【提出日】平成20年1月25日(2008.1.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】層間ビアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、

層間ビアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と、

前記第1及び第2のセラミック体の間に挟まれた熱硬化性樹脂シートとからなり、

前記熱硬化性樹脂シートは、前記第1のセラミック体の前記多層配線パターンのいずれかと、前記第2のセラミック体の前記多層配線パターンのいずれかとを互いに電気的に接続する導電性樹脂が充填された貫通孔を備えることを特徴とするセラミック積層デバイス。

【請求項2】前記セラミック体は、積層一体焼成された低温焼結セラミック体であることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項3】前記第1及び第2のセラミック体は、前記熱硬化性樹脂シートと熱硬化して一体化したことを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項4】前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項5】層間ビアホールを介して電気的に接続された多層配線パターンを備えた第3のセラミック体と、

前記第2及び第3のセラミック体との間に挟まれた熱硬化性樹脂シートとをさらに備え

前記第1のセラミック体は、比誘電率が10未満であって、前記第2のセラミック体は、比誘電率が10以上であって、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項6】 前記第1及び第3のセラミック体は、実質的に同一の厚さであり、前記第2のセラミック体は、前記第1及び第3のセラミック体より厚いことを特徴とする請求項5に記載のセラミック積層デバイス。

【請求項7】 前記各セラミック体は、互いに異なる厚みを有することを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項8】 前記第2のセラミック体の他のセラミック体と対向していない面にランドグリッドアレー端子電極を備えることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項9】 前記第2のセラミック体と前記ランドグリッドアレー端子電極との間に挟み込まれた熱硬化性樹脂シートを備えることを特徴とする請求項8に記載のセラミック積層デバイス。

【請求項10】 前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項11】 前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、

前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップとSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項12】 前記第1のセラミック体は、穴開き部を含む穴開き型セラミック体であって、

前記第1のセラミック体は、前記穴開き部の底面を構成する前記熱硬化性樹脂シートの面に、半導体ペアチップとSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とする請求項1に記載のセラミック積層デバイス。

【請求項13】 前記第1のセラミック体は、比誘電率が10未満であり、前記第2セラミック体は、比誘電率が10以上であることを特徴とする請求項12に記載のセラミック積層デバイス。

【請求項14】 前記半導体ペアチップは、UHF帯以上の周波数で動作する半導体ペアチップを含むことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項15】 前記半導体ペアチップは、PINダイオードを含むことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項16】 前記SAWフィルタは、不平衡入力平衡出力の端子構造を持つことを特徴とする請求項10に記載のセラミック積層デバイス。

【請求項17】 層間ビアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、

層間ビアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と

が順に積層されており、

前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされ、

前記第2のセラミック体は、前記第1のセラミック体と対向していない面に、ランドグリッドアレー端子電極が設けられていることを特徴とするセラミック積層デバイス。

【請求項 18】 前記第1及び第2のセラミック体は、比誘電率が互いに異なることを特徴とする請求項17に記載のセラミック積層デバイス。

【請求項 19】 前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、

前記第1のセラミック体は、前記半導体ペアチップと前記SAWフィルタの少なくとも一つが電極部を前記凹部の底面に対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする請求項17に記載のセラミック積層デバイス。

【請求項 20】 層間ビアホールを介して電気的に接続された多層配線パターンを備えた第3のセラミック体をさらに備え、

前記第3のセラミック体は、前記第2のセラミック体の前記第1のセラミック体と対向していない面に積層され、

前記第1のセラミック体は、比誘電率が10未満であり、前記第2のセラミック体は、比誘電率が10以上であり、前記第3のセラミック体は、比誘電率が10未満であることを特徴とする請求項17に記載のセラミック積層デバイス。

【請求項 21】 層間ビアホールを介して電気的に接続された多層配線パターンを備え、上方に凹部を持つキャビティ型セラミック体からなる第1のセラミック体と、

層間ビアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と

が順に積層されており、

前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とするセラミック積層デバイス。

【請求項 22】 前記第1のセラミック体は、前記第2のセラミック体と対向していない面の平坦部に形成された電極パターンからなるアレーアンテナを有することを特徴とする請求項21に記載のセラミック積層デバイス。

【請求項 23】 請求項1から22のいずれか一項に記載の前記セラミック積層デバイスを備えたことを特徴とする移動体通信機。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

またさらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、

前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップとSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされたこ

とを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、穴開き部を含む穴開き型セラミック体であって、

前記第1のセラミック体は、前記穴開き部の底面を構成する前記熱硬化性樹脂シートの面に、半導体ペアチップとSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明に係るセラミック積層デバイスは、層間ビアホールを介して電気的に接続された多層配線パターンを備えた第1のセラミック体と、

層間ビアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体と
が順に積層されており、

前記第1のセラミック体は、前記第2のセラミック体と対向していない面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされ、

前記第2のセラミック体は、前記第1のセラミック体と対向していない面に、ランドグリッドアレー端子電極が設けられていることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

さらに、本発明に係るセラミック積層デバイスは、前記セラミック積層デバイスであって、前記第1のセラミック体は、上方に凹部を持つキャビティ型セラミック体であって、

前記第1のセラミック体は、前記半導体ペアチップと前記SAWフィルタの少なくとも一つが電極部を前記凹部の底面に対向させて実装され、上部を封止樹脂でコーティングされたことを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明に係るセラミック積層デバイスは、層間ビアホールを介して電気的に接続された

多層配線パターンを備え、上方に凹部を持つキャビティ型セラミック体からなる第1のセラミック体と、

層間ピアホールを介して電気的に接続された多層配線パターンを備えた第2のセラミック体とが順に積層されており、

前記第1のセラミック体は、前記凹部の底面に、半導体ペアチップと電極部が気密封止されたSAWフィルタの少なくとも一つが電極部を対向させて実装され、上部を封止樹脂でコーティングされていることを特徴とするセラミック積層デバイス。